

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-205080

(43)公開日 平成9年(1997)8月5日

(51) Int.Cl.⁸
H 01 L 21/3065
C 23 C 16/52
H 01 L 21/68
35/28

識別記号 庁内整理番号

F I
H 01 L 21/302
C 23 C 16/52
H 01 L 21/68
35/28

技術表示箇所
B
N
Z

審査請求 未請求 請求項の数20 O L (全 7 頁)

(21)出願番号 特願平8-224155
(22)出願日 平成8年(1996)8月26日
(31)優先権主張番号 08/519, 373
(32)優先日 1995年8月25日
(33)優先権主張国 米国(US)

(71)出願人 390039413
シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESELLSCHAFT
ドイツ連邦共和国 ベルリン 及び ミュンヘン(番地なし)
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(74)代理人 弁理士 矢野 敏雄(外1名)

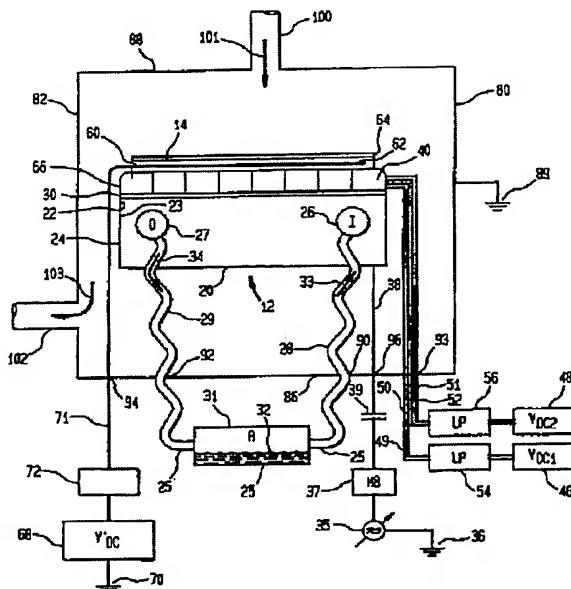
最終頁に続く

(54)【発明の名称】 一枚ウェーハ装置用のウェーハ温度制御装置

(57)【要約】

【課題】 エッティング中の半導体ウェーハの局所的温度分布を検知・制御するための改善された装置を提供する。

【解決手段】 分離層とチャック手段の間に熱電素子層が配設される。熱電素子層はベルチエ素子の接続から構成される中心領域閉ループと、同じくベルチエ素子の接続から構成される外部領域閉ループを有する。中心領域閉ループがウェーハの中心領域に、そして外部領域閉ループがウェーハの外部領域に対応するよう配設される。



【特許請求の範囲】

【請求項1】 カソード電極と、ウェーハを保持するためのチャック手段を有した形式の一枚ウェーハエッティング装置用の温度制御装置であり、チャック手段がカソード電極上に配設されており、チャック手段によりウェーハが所定の温度で支持される構成を具備した温度制御装置において、

複数の熱電素子を含む熱電層を有し、

前記熱電層はカソード電極とチャック手段の間に配設されており、また前記熱電層は複数の閉ループを有し、それぞれの閉ループは前記複数の熱電素子のうち所定数を互いに接続しており、それぞれの閉ループがウェーハの特定領域に対応するよう配置されており、

閉ループのそれぞれに結合され、所定の温度を示す制御電圧を閉ループのそれぞれに供給するための手段を有し、

ウェーハの特定領域のそれぞれの温度が閉ループのそれぞれにより制御されることを特徴とする、一枚ウェーハエッティング用温度制御装置。

【請求項2】 热電層とカソード電極の間に分離層が配設された、請求項1記載の温度制御装置。

【請求項3】 チャック手段が静電チャックから構成されている、請求項1記載の温度制御装置。

【請求項4】 チャック手段が機械的チャックで構成されている、請求項1記載の温度制御装置。

【請求項5】 チャック手段が真空チャックで構成されている、請求項1記載の温度制御装置。

【請求項6】 個々の閉ループを構成する複数の熱電素子の、所定数の接続のうち少なくとも一つに温度検知手段が配置されている、請求項1記載の温度制御装置。

【請求項7】 温度検出手段が熱電対により構成されている、請求項6記載の温度制御装置。

【請求項8】 温度検出手段が抵抗温度検出器により構成されている、請求項6記載の温度制御装置。

【請求項9】 温度検出手段がサーミスタにより構成されている、請求項6記載の温度制御装置。

【請求項10】 前記少なくとも一つの電源手段がそれぞれ低域フィルタに接続されている、請求項1記載の温度制御装置。

【請求項11】 前記熱電層が複数のベルチエ素子を有する、請求項1記載の温度制御装置。

【請求項12】 閉ループのそれぞれに制御電圧を供給するための前記手段が複数の電圧源を有する、請求項1記載の温度制御装置。

【請求項13】 前記熱電層が中心領域閉ループと外部領域閉ループを有し、中心領域閉ループによりウェーハの中心領域の温度が制御され、外部領域閉ループによりウェーハの外部領域の温度が制御される、請求項1記載の温度制御装置。

【請求項14】 ウェーハの前記特定領域の少なくとも

一つの温度が、前記閉ループのうちの対応する閉ループによって増加される、請求項1記載の温度制御装置。

【請求項15】 ウェーハの前記特定領域の少なくとも一つの温度が、前記閉ループのうち対応する閉ループによって減少させられる構成を有した、請求項1記載の温度制御装置。

【請求項16】 ウェーハの前記特定領域のそれぞれの温度を、前記複数の熱電素子の少なくとも一つによって求めることができる、請求項1記載の温度制御装置。

10 【請求項17】 カソード電極、分離層、およびチャック手段を具備した形式の一枚ウェーハエッティング装置用温度制御装置であり、分離層はカソード電極上に配設されており、チャック手段は分離層上に配設され、チャック手段によって中心領域と外部領域を有したウェーハが支持される構成の温度制御装置において、

分離層とチャック手段の間にベルチエ素子層が配設されており、

ベルチエ素子層は2つの閉ループを有し、中心領域閉ループにより、ウェーハの中心領域に対応する複数のベル

20 チエ素子が相互に接続され、外部領域閉ループによりウェーハの外部領域に対応する複数のベルチエ素子が相互に接続され、

所定温度を示す制御電圧をそれぞれの閉ループに供給するための手段が前記2つの閉ループのそれぞれに接続されており、

前記中心領域閉ループによってウェーハの中心領域の温度が制御され、前記外部領域閉ループによってウェーハの外部領域の温度が制御されることを特徴とする、一枚ウェーハエッティング装置用温度制御装置。

30 【請求項18】 ウェーハの前記中心領域の温度と、ウェーハの前記外部領域の温度が、前記複数の熱電素子の少なくとも1つから求められる、請求項17記載の温度制御装置。

【請求項19】 前記ベルチエ素子層が所定の数のベルチエ素子を有し、ウェーハの中心領域に対応する前記複数のベルチエ素子が前記所定数のベルチエ素子の少なくとも25%を占める、請求項17記載の温度制御装置。

【請求項20】 一枚ウェーハエッティング装置用の温度制御装置であり、

40 チャンバと温度制御支持体を有し、温度制御支持体はチャンバ内に収容されており、前記温度制御支持体はカソード電極、分離層、およびチャック手段を有し、分離層は前記カソード電極上に配設されており、チャック手段は分離層上に配設されており、

前記カソード電極内には貫通孔が形成されており、貫通孔は閉ループ冷却管路の一部を構成し、閉ループ冷却管路はポンプとリザーバを有し、温度制御支持体を冷却するために冷却液が閉ループ冷却管路内をポンプにより循環せられ、

50 前記チャック手段により中心領域と外部領域を有するウ

ウェーハが支持され、中心および外部領域はそれぞれ所定の温度を有し、前記チャック手段と前記ウェーハの間に形成された複数の気孔に所定量のヘリウムが供給され、分離層とチャック手段の間にペルチェ素子層が配設され、ペルチェ素子層は、互いに接続されたペルチェ素子から構成された2つの閉ループを有し、中心領域閉ループにより、ウェーハの前記中心領域に対応する複数のペルチェ素子が相互に接続され、外部領域閉ループによってウェーハの前記外部領域に対応する複数のペルチェ素子が相互に接続され、所定の温度を示す制御電圧を前記2つの閉ループのそれぞれに供給するための手段が前記2つの閉ループのそれぞれに結合されており、中心領域閉ループによりウェーハの中心領域温度が制御され、外部領域閉ループによってウェーハの外部領域温度が制御されることを特徴とする、一枚ウェーハエッチング装置用の温度制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は半導体ウェーハエッチング装置に関し、より詳細にはエッチング時の半導体ウェーハ温度を制御する装置に関する。

【0002】

【従来の技術】半導体ウェーハのドライエッチングプロセスにおいて、ウェーハ表面の温度は極めて重要なプロセス上のパラメータである。プロセス中にウェーハ温度がごくわずかに変動しただけでも、エッチング速度、エッチ形状のテーパ角および側壁蒸着速度等の、被エッチングウェーハの特性が影響を受ける。したがって、こうしたプロセス中には局所温度を均一にすることが望まれる。プロセス中における温度制御方法の一つによれば、リザーバから液体が供給され、プロセス中にウェーハを載置するためのチャック内部に設けた供給管路中に通される。液体の温度はリザーバ内において測定・制御されて、チャック内にポンプで供給される。よって、チャック表面温度はリザーバの設定温度と冷却管路内の損失によって決まる。しかし、この温度制御方法は非常に適用範囲が狭い。例えば、チャック面にわたる異なる温度を補償または制御することができないのである。実際、この欠点はウェーハ径が増大するにつれてより顕著となる。さらに、前記方法では反応時間が非常に長い（1度につき約2分）。

【0003】別の方法によれば、バックフィリングによってウェーハとチャック間の熱伝達特性を改善する（ウェーハとサセプタ間の隙間にヘリウムまたは同様のガスを導入する）ことにより、プロセス中の温度が制御される。この方法はヒラノ他に対して1993年12月14日に付与された米国特許番号5,270,266に詳述されており、導入ガスの圧力を変えることにより、ウェ

ーウェーハ温度をある程度制御できる。

【0004】しかし、ヘリウムのバックフィリングによって局所的に異なる圧力を加えることによりウェーハ温度を制御する方法は（中心とエッジ間の）形状の簡単なものにしか使えない。さらに、この方法は静電チャックにのみ使用が限られている。

【0005】さらに別の方法によれば、ペルチェ効果（接合部における電流の流れによる熱の吸収）により動作する熱電対のアレーを有した熱電装置を用いて、プロセッシング中のウェーハ温度が制御される。一例として、1985年1月15日にプラスキ他に対して付与された米国特許番号4,493,939には、熱電対素子アレーから構成された格子部材を有する熱電素子の製造方法および装置が開示されている。しかし、この特許においては、ウェーハ温度を制御するために前記熱電素子アレーをいかにウェーハと共に使用するかが示されていない。

【0006】

【発明が解決しようとする課題】本願発明の課題は、従来技術に比べて短い反応時間と、より高い局所温度制御性を有した、プロセス中の半導体ウェーハ局所温度分布の検知および制御するための装置を提供することにより、前述の欠点を克服ないし排除することにある。

【0007】

【課題を解決するための手段】上記課題は本願発明によれば、以下の構成を有する一枚ウェーハエッチング装置用の温度制御装置により解決される。すなわち、本願発明の現位置ウェーハ温度制御装置はカソード、分離層、熱電素子層、およびチャック手段を有し、それらが垂直に積層されて、エッチングされるウェーハを支持する。熱電素子層は複数の熱電素子を有し、それらの素子間は所定の構成に従って接続され複数の閉ループを形成している。詳細には、熱電素子の閉ループはそれが所定の数のペルチェ素子を有し、それらペルチェ素子は電源手段に接続され、ウェーハ上の特定の領域に対応している。よって、ウェーハの特定領域における温度を特定の閉ループに電力を供給することにより制御できる。

【0008】

【発明の実施の形態】本願発明の装置においては、エッチング処理中にウェーハ表面の特定領域を局所的に冷却または加熱するための熱電素子の層が使用される。

【0009】さらに、本願発明によれば、エッチング中にウェーハの特定領域の温度を制御するために、ペルチェ素子により構成された複数の閉ループが使用され、それにより従来技術に比して正確性と応用の柔軟性が向上する。

【0010】また本願発明の装置によれば、ウェーハの温度を制御する際の反応時間を従来技術に比べて短縮できる。

【0011】また、本願発明によれば、ウェーハの温度

分布を測定するための複数のペルチェ素子が使用され、その構造は公知の装置に比べてシンプルである。

【0012】

【実施例】図1には、エッティング環境用減圧チャンバ80とチャンバ80内に配設された一枚ウェーハ支持体12を具備した本願発明の装置が示されている。

【0013】本願発明におけるチャンバ80は円筒形をしているが、例えば立方体のような任意の形状でも構わない。一般的には、チャンバ80は上面88、底面86、および途切れのない側壁82を有する。チャンバ80の上面88からは導入パイプ100が延びており、チャンバ80にエッティングガスを輸送するために用いられる。チャンバ80の側壁82からは出口パイプ102が延びており、チャンバ内のガスを除去するのに用いられる。そして、チャンバ80の側壁82は89で接地されている。

【0014】本願発明におけるチャンバ80はアルミニウム等の導電性金属から作られる。しかし、減圧環境を維持できる限り、従来技術において公知のいずれの導電材料を用いても、チャンバ80を作ることができる。

【0015】チャンバ80内にはウェーハ支持体12が配設されている。詳細には支持体12はカソード電極20、誘電分離層30、熱電素子層40、およびチャック手段60から構成されている。支持体の各層20、30、40、60はウェーハ14を支持するように寸法と形状が設計されている。図1に示した実施例においてはサポート12の各層20、30、40、60はそれぞれ約200mmの直径、すなわちウェーハ14と等しい直径を有する。しかし、ウェーハ14の寸法と形状に対応して支持体12の各層20、30、40、60の寸法と形状を変化可能である。

【0016】カソード電極20は支持体12の底面層を形成するとともに、上面22、下面24、および外側面23を有する。カソード電極20は金属ブロックから作られ、分離層30、熱電素子層40、およびチャック手段60を支持する。

【0017】カソード電極20内には貫通孔（図示しない）が形成されており、ウェーハ14を冷却するための閉ループ冷却管路25の一部を形成している。冷却管路25は上記貫通孔、導入口26、排出口27、導入パイプ28、排出パイプ29、およびリザーバ31を含む。言うまでもなく、導入パイプ28と排出パイプ29は図示したような蛇行状の構成に限られない。

【0018】一般的には、水等の冷却液32はチャンバ80の外部に配設されたりザーバ31内に貯蔵される。冷却液32は（矢印33で示したごとく）蛇行状の導入パイプ28内をポンプで通過せられる。導入パイプ28はチャンバ80の底面86に設けられた開口部90を介してチャンバ80内に延在し、さらに導入口26を介してカソード電極20に達している。そして冷却液32は

貫通孔を通過し、支持体12の温度を制御する。循環した冷却液32は蛇行状の排出パイプ29を通ってカソード電極20を出る（矢印34）。排出パイプ29は排出口27からチャンバ80の底面86に設けられた開口部92を通過して延びている。最後に、冷却液32はリザーバ31内を循環し、上記プロセスが繰り返される。冷却管路25は図示の構成に限られない。さらに、冷却液32としては、はエッティング装置支持体12の温度を低減し得る限り、いずれの物質をも使用できる。

10 【0019】カソード電極20は結合キャバシタ39と、可変結合キャバシタ（図示しない）を収容した整合箱37を介してRF電源35に容量結合されている。詳細には、13.56MHzの電源35が同軸ケーブル38ないし同等の結合手段を介してカソード電極20に容量結合されている。同軸ケーブルないしその同等結合手段はRF電源35からチャンバ80の底面86に設けられた給電口96を介してカソード電極20に結合される。電源35の一方の電極は36において接地されている。13.56MHzないしその倍数の周波数を用いれば無線操作に対する干渉を最小限にことができるが、システムパラメータに応じて他の周波数も使用できる。

20 【0020】カソード電極20の上面22上には誘電分離層30が配設されている。分離層30は、カソード電極20と熱電素子層40を絶縁層分離する作用を有する限り公知のいずれの材料をも用いることができる。

【0021】分離層30上に配設されているのはウェーハ14を局所的に冷却または加熱するための熱電素子層40である。詳細には、熱電素子層40の動作はペルチエ効果（接合部に電流が流れることにより熱が吸収または発生される）またはゼーベック効果（接合部における温度差により電流が流れる）のいずれに基づいてよい。ただし、本願発明は本願明細書中に開示した素子に限られるものではない。

30 【0022】図2において、14個の密接に配設された六角形のペルチェ素子45（小さな点で示されている）が中心領域閉ループ53を構成している。同様に、38個の密接に配設された六角形のペルチェ素子47（大きな点で示されている）が外部領域閉ループ55を構成している。中心領域閉ループ53と外部領域閉ループ55は絶縁層61を介して分離されている。

40 【0023】ペルチェ素子45、47はウェーハ14のそれぞれの領域の局所温度を制御できるように選択・配置される。ペルチェ素子45、47の数、形状および寸法は変えることができるが、重要な点は密接に配設されるペルチェ素子の数が多く、寸法を小さくすることにより、局所的温度制御性が改善されるということである。

【0024】図3においては、閉ループ53、55それぞれのペルチェ素子45、47が第1と第2の直流電源50、46、48に平行に接続されている。詳細には、電圧

(V_{DC_1}) が、中心領域閉ループ 53 を構成しているペルチェ素子 45 一つ一つの両端に印加され、電圧 (V_{DC_2}) が外部領域閉ループ 55 を構成しているペルチェ素子 47 の一つ一つの両端に印加される。

【0025】図1において、チャンバ80の外部に位置する第1の電源46と第2の電源48それそれから電力が、中心領域閉ループ53と外部領域閉ループ55に供給される。この電力供給は前者のループに対しては第1の給電対49、50、そして後者のループに対しては給電対51、52を介して行われ、それら給電対はチャンバ80の底面86に設けられた給電口93を介してチャンバ80内に延びている。さらに、第1の給電対49、50および第2の給電対51、52は、それそれ第1の低域フィルタ54と第2の低域フィルタ56を介して延びている。

【0026】本願明細書に開示したマルチループ構成によれば、従来技術による温度制御装置に比してより優れた温度制御が可能となる。しかしながら、本願発明はここに記載した中心領域ループ53と外部領域ループ55に限定されるものではない。ループの数と構造は、エッティング時に遭遇する特定の温度制御課題に応じて変化させることができ、その際ループの数を多く、寸法を小さくすることにより、より局所的な温度制御が可能となる。さらに、本願発明はここに記載された電源および給電構成に限定されるものではなく、閉ループは所望の態様にて配設して、ウェーハ14の特定の領域温度を局所的に制御することができる。

【0027】例えば、52個の閉ループから構成された実施例が図4に示されている。この実施例において、個々のペルチェ素子 $P_1 \sim P_{52}$ はそれぞれ対応する直流電源 $V_{DC_1} \sim V_{DC_{52}}$ および低域フィルタ $LP_1 \sim LP_{52}$ に結合されて閉ループを形成している。したがって、このような構成によれば、少ない閉ループで構成された実施例に比べてより局所的な温度制御が可能となる。

【0028】一つ一つのペルチェ素子 45、47 上には熱電対等の温度検知手段（図示しない）が配設され、それにより個々のペルチェ素子 45、47 における局所温度が検知される。しかしながら、温度検知手段は熱電対に限定されず、RTDまたはサーミスタ等の温度検知手段を用いることができる。

【0029】ペルチェ素子 40 の層の上部にはウェーハ14を支持するためのチャック手段60が配設されている。一般的には、クーロン力によりウェーハ14を吸引・保持する形式の静電チャック60が使用される。銅などの導体層62が、ポリイミド等の第1絶縁シート64と第2絶縁シート66の間に挿入されて、静電チャック60を形成している。本願発明におけるチャック手段60はここに記載した静電チャック60に限定されるものではなく、機械的チャックや真空チャックのような、ウ

ェーハ14を支持する手段をいずれでも利用できる。

【0030】静電チャック60は高電圧 (V'_{DC}) を、チャンバ80の外部に位置する2KV直流電源68を介して導電層62へ供給する。電源68の一方の端子は70にて接地されている。電力は、電源68から低域フィルタ72を介して導電層62に延びる給電線71を介して、導電層62に供給される。給電線71はチャンバ80の底面86に設けられた給電口94を介してチャンバ80内へと延びる。ただし、チャック60用の電源10 68はここに記載した2KVの直流電源に限定されるものではなく、何れの電源も使用可能である。

【0031】直流電源68によりチャック60が給電されると、ウェーハ14は静電力によりチャック60の方へ引っ張られる。ウェーハ14の表面が不均一であると、チャック60の上部ポリイミド層64とウェーハ14の間に複数の気孔が生じる場合がある。これら気孔はチャック60とウェーハ14間の熱交換効率を低下させ、その結果ウェーハ14全面にわたる温度分布が不均一になってしまいます。このようなウェーハ14とチャック20 60間の熱交換損失を低減し、熱伝達特性を改善するためには、従来技術において公知のバックフィーリング法によって気孔を埋めることができる。本願発明におけるバックフィーリング法ではヘリウムガスを使用しているが、ウェーハ14とチャック60間の熱伝達特性を向上させるものであればガスの種類は問わない。

【0032】一旦ウェーハ14がチャック60に固定された後、臭化水素または四フッ化窒素が導入パイプ100からチャンバ80内に（矢印101で示すように）導入される。導入パイプ100はチャンバ80の上面88から延在している。RF電源35から高周波電力がチャンバ80の、上部電極として作用する上面88と、カソード電極20の間に供給されることにより、磁界が両者間に生じる。その結果、とりわけイオンと遊離基から成るプラズマ（図示しない）が発生する。

【0033】過剰ガスと不安定エッティング生成物はチャンバ80から（矢印103で示すとく）排出パイプ102を通ってポンプで排出される。排出パイプ102はチャンバ80の側壁82からチャンバ80の外部に配置された真空ポンプ（図示しない）を介して延在している。

【0034】したがって、ペルチェ素子45、47により、エッティングプロセス中にウェーハ14の特定の領域を局所的に冷却または加熱することができる。例えば、制御装置（図示しない）を利用すれば、検知局所温度を所定の設定値ないしはペルチェ素子45、47全体の平均温度等の基準温度と比較できる。そして所定値以上の温度が検知された場合には、閉ループ53、55のいずれかに給電してウェーハ14の特定の領域を冷却ないしは加熱できる。

【0035】別の実施例（図示しない）においては、個

々のペルチェ素子45、47を、ゼーベック効果（組成の異なる2つの均質導体から成る回路の接合部温度差による起電力の発生）に基づいて動作する温度センサとして機能させることができる。ペルチェ素子45、47を通して過する電流を周期的に断続して、ペルチェ素子45、47の両端の熱起電力を測定することができる。冷ました状態のチャック60、または熱電対（図示しない）個々の点において測定された局所温度等の基準温度が既知であれば、それぞれのペルチェ素子45、47における温度を測定熱起電力から計算できる。この構成によれば基準温度測定用の熱電対の数がペルチェ素子45、47より少なくできるため、前述の構成に比較して構造がシンプルにできる。

【図面の簡単な説明】

【図1】図1は本願発明の一実施例の略正面図である。

【図2】図2は図1に示した熱電素子層の略透過正面図である。

【図3】図3はペルチェ素子と電源との接続を示す略図である。

【図4】図4はペルチェ素子それぞれの、対応する電源への接続を示す略図である。

【符号の説明】

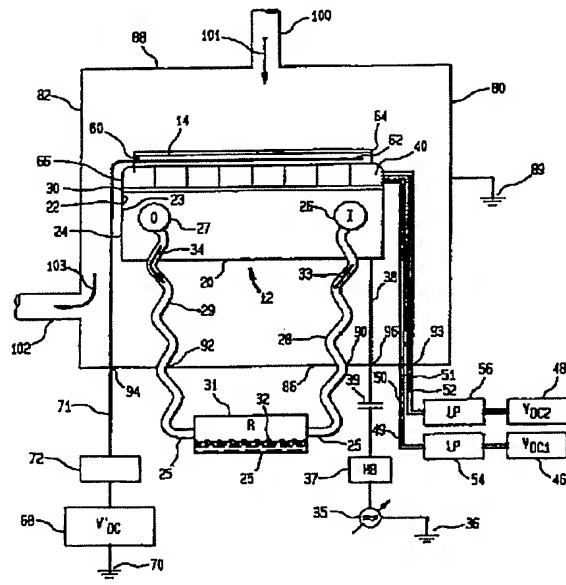
12 ウエーハ支持体

| | |
|--------|-----------|
| 14 | ウェーハ |
| 20 | カソード電極 |
| 25 | 閉ループ冷却管路 |
| 26 | 導入口 |
| 27 | 排出口 |
| 28 | 導入パイプ |
| 29 | 排出パイプ |
| 30 | 分離層 |
| 31 | リザーバ |
| 32 | 冷却液 |
| 35 | R F 電源 |
| 40 | 熱電素子層 |
| 45, 47 | ペルチェ素子 |
| 53 | 中心領域閉ループ |
| 55 | 外部領域閉ループ |
| 60 | チャック手段 |
| 61 | 絶縁層 |
| 62 | 導電層 |
| 68 | 2 KV 直流電源 |
| 80 | チャンバ |
| 100 | 導入パイプ |
| 102 | 排出パイプ |

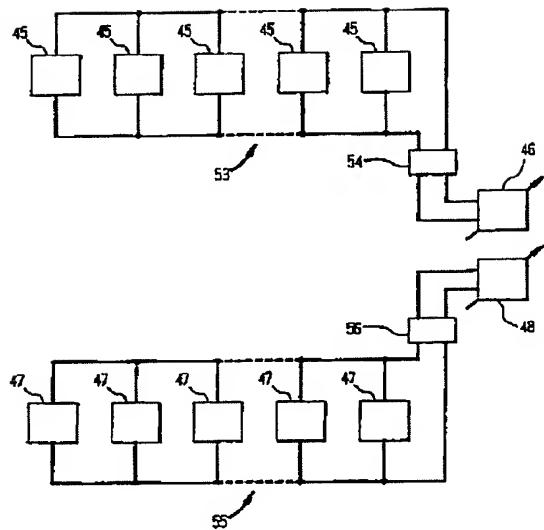
20

* *

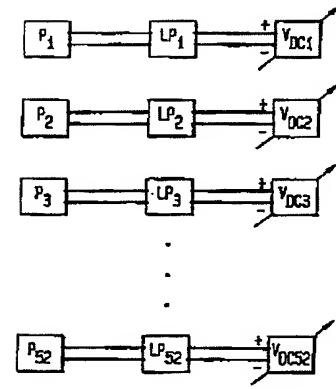
【図1】



【図3】



【図4】



フロントページの続き

(71)出願人 594145404
 インターナショナル ビジネス マシーンズ コーポレーション
 アメリカ合衆国ニューヨーク州 10504
 ニューヨーク アーモンク オールド オーチャード ロード (番地なし)
 (72)発明者 イサヒロ ハセガワ
 アメリカ合衆国 ニュー ヨーク ストームヴィル リータウン ロード 596

(72)発明者 カール パウル ムラー
 アメリカ合衆国 ニュー ヨーク ワッピングガーズ フォールズ ブラザーズ ロード 89
 (72)発明者 ベルンハルト エル ポシェンリーダー フランス国 サン-クロード ラ セルレ ベルジェロネット 10
 (72)発明者 ハンス-イェルク ティメ
 ドイツ連邦共和国 タウフキルヒエン リンデンリンク 48
 (72)発明者 セーオドア ヴァン ケッセル
 アメリカ合衆国 ニュー ヨーク ミルブルック 3 ロード (番地なし)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-205080

(43)Date of publication of application : 05.08.1997

(51)Int.Cl.

H01L 21/3065
C23C 16/52
H01L 21/68
H01L 35/28

(21)Application number : 08-224155

(71)Applicant : SIEMENS AG
TOSHIBA CORP
INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 26.08.1996

(72)Inventor : HASEGAWA ISAHIRO
MULLER KARL PAUL
POSCHENRIEDES BERNHARD L
TIMME HANS-JOERG
VAN KESSEL THEODORE

(30)Priority

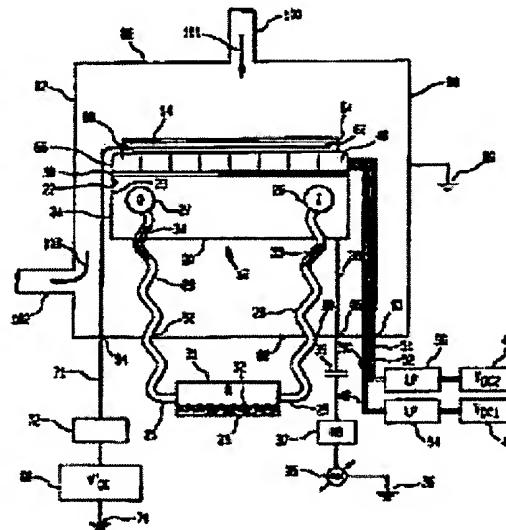
Priority number : 95 519373 Priority date : 25.08.1995 Priority country : US

(54) WAFER TEMPERATURE CONTROLLER FOR SINGLE WAFER PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the reaction time when the temperature of 4 wafer is controlled by laminating a cathode, an isolation layer, a thermoelectric element layer and a chuck means and supporting a wafer and then feeding power to a closed loop of specific temperature in a specified region of the wafer.

SOLUTION: A wafer support 12 is arranged in a chamber 80 and a cathode electrode 20 is formed on the bottom layer thereof. The cathode electrode 20 is composed of a metal block and supports an isolation layer 30, a thermoelectric element layer 40 and a chuck means 60. The thermoelectric element layer 40 has a plurality of closed loops where a predetermined number of thermoelectric elements in each closed loop are interconnected and each closed loop is arranged to correspond to a specific region of a wafer 14. Power is fed to a closed loop of specific temperature in a specific region of wafer 14. According to the arrangement, reaction time can be shortened when the temperature of wafer 14 is controlled.



* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A cathode terminal.

Composition from which it is a temperature controller for one-sheet wafer etching devices of form with a chuck means for holding a wafer, a chuck means is allocated on a cathode terminal, and a wafer is supported by chuck means at a predetermined temperature.

It has a thermoelectrical layer which is the temperature controller for one-sheet wafer etching provided with the above, and contains two or more thermoelements, Said thermoelectrical layer is allocated between a cathode terminal and a chuck means, and said thermoelectrical layer has two or more closed loops, Each closed loop has connected a predetermined number mutually among said two or more thermoelements, It is arranged so that each closed loop may correspond to a specific region of a wafer, It is combined with each of a closed loop, and has a means for supplying control voltage which shows a predetermined temperature to each of a closed loop, and each temperature of a specific region of a wafer is controlled by each of a closed loop.

[Claim 2] The temperature controller according to claim 1 with which a detached core was allocated between a thermoelectrical layer and a cathode terminal.

[Claim 3] The temperature controller according to claim 1 with which a chuck means comprises an electrostatic chuck.

[Claim 4] The temperature controller according to claim 1 with which a chuck means comprises a mechanical zipper.

[Claim 5] The temperature controller according to claim 1 with which a chuck means comprises a vacuum chuck.

[Claim 6] The temperature controller according to claim 1 with which a temperature detecting means is arranged at least one of connection of two or more thermoelements which constitute each closed loop of a predetermined number.

[Claim 7] The temperature controller according to claim 6 which a temperature detecting means comprises with a thermo couple.

[Claim 8] The temperature controller according to claim 6 which a temperature detecting means comprises with a resistance thermometric element.

[Claim 9] The temperature controller according to claim 6 which a temperature detecting means comprises with a thermo sensitive register.

[Claim 10] The temperature controller according to claim 1 by which said at least one power means is connected to a low-pass filter, respectively.

[Claim 11] The temperature controller according to claim 1 with which said thermoelectrical layer has two or more Peltier devices.

[Claim 12] The temperature controller according to claim 1 with which said means for supplying control voltage to each of a closed loop has two or more voltage sources.

[Claim 13] The temperature controller according to claim 1 with which said thermoelectrical layer has a central region closed loop and an external area closed loop, temperature of a central region of a wafer is controlled by a central region closed loop, and temperature of an external area of a wafer is controlled by an external area closed loop.

[Claim 14] The temperature controller according to claim 1 with which at least one temperature of said specific region of a wafer is increased by closed loop to which it corresponds of said closed loops.

[Claim 15] The temperature controller according to claim 1 with composition decreased by closed

loop corresponding among said closed loops to at least one temperature of said specific region of a wafer.

[Claim 16] The temperature controller according to claim 1 which can search for each temperature of said specific region of a wafer by at least one of said two or more of the thermoelements.

[Claim 17] They are a cathode terminal, a detached core, and a temperature controller for one-sheet wafer etching devices of form possessing a chuck means. In a temperature controller of composition of that a detached core is allocated on a cathode terminal, a chuck means is allocated on a detached core, and a wafer with a central region and an external area is supported by chuck means, A Peltier device layer is allocated between a detached core and a chuck means, have a Peltier device layer, and two closed loops by a central region closed loop. Two or more Peltier devices corresponding to a central region of a wafer are connected mutually, Two or more Peltier devices which correspond to an external area of a wafer by an external area closed loop are connected mutually, A means for supplying control voltage which shows prescribed temperature to each closed loop is connected to each of said two closed loops, A temperature controller for one-sheet wafer etching devices, wherein temperature of a central region of a wafer is controlled by said central region closed loop and temperature of an external area of a wafer is controlled by said external area closed loop.

[Claim 18] The temperature controller according to claim 17 with which temperature of said central region of a wafer and temperature of said external area of a wafer are searched for from at least one of said two or more of the thermoelements.

[Claim 19] The temperature controller according to claim 17 with which said Peltier device layer has a predetermined number of Peltier devices, and said two or more Peltier devices corresponding to a central region of a wafer occupy at least 25% of Peltier devices of said predetermined number.

[Claim 20] Are a temperature controller for one-sheet wafer etching devices, and it has a chamber and a temperature control base material, A temperature control base material is accommodated in a chamber, and said temperature control base material A cathode terminal, Have a detached core and a chuck means and a detached core is allocated on said cathode terminal, A chuck means is allocated on a detached core and a breakthrough is formed in said cathode terminal, A breakthrough constitutes a part of closed-loop condenser tube way, and a closed-loop condenser tube way has a pump and a reservoir, In order to cool a temperature control base material, cooling fluid circulates through inside of a closed-loop condenser tube way with a pump, A wafer which has a central region and an external area by said chuck means is supported, A center and an external area have a predetermined temperature, respectively, and helium of the specified quantity is supplied to two or more stomata formed between said chuck means and said wafer, A Peltier device layer is allocated between a detached core and a chuck means, a Peltier device layer has two closed loops which comprised a Peltier device connected mutually, and two or more Peltier devices which correspond to said central region of a wafer by a central region closed loop are connected mutually, Two or more Peltier devices which correspond to said external area of a wafer by an external area closed loop are connected mutually, A means for supplying control voltage which shows a predetermined temperature to each of said two closed loops is combined with each of said two closed loops, A temperature controller for one-sheet wafer etching devices, wherein central region temperature of a wafer is controlled by a central region closed loop and external area temperature of a wafer is controlled by an external area closed loop.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the device which controls the semiconductor wafer temperature at the time of etching in details more about a semiconductor wafer etching device.

[0002]

[Description of the Prior Art] In the dry etching process of a semiconductor wafer, the temperature of a wafer surface is a parameter on a very important process. Having changed wafer temperature very slightly in the process, the characteristics of a wafer to be etched, such as a tapered angle of an etch rate and dirty shape and a side-attachment-wall evaporation rate, are influenced. Therefore, to make partial temperature uniform is desired in such a process. According to one of the temperature control methods in a process, a fluid is supplied from a reservoir and it lets it pass all over the supply line established in the inside of the zipper for laying a wafer into a process. Into a reservoir, measurement and control of the temperature of a fluid are done, and it is supplied with a pump in a zipper. Therefore, zipper skin temperature is decided by the preset temperature of a reservoir, and the loss in a condenser tube way. However, this temperature control method has a dramatically narrow scope. For example, a different temperature covering a chucking surface cannot be compensated or controlled. This fault actually becomes more remarkable as the diameter of a wafer increases. By said method, reaction time is dramatically long (per time about 2 minutes).

[0003] According to the option, the temperature in a process is controlled by what (helium or the same gas is introduced into the crevice between a wafer and a susceptor) the heat transfer characteristic between a wafer and a zipper is improved for by a back filling. This method is explained in full detail by the United States patent number 5,270,266 given to HIRANO etc. on December 14, 1993, and can control wafer temperature to some extent by changing the pressure of introductory gas.

[0004] However, the method of controlling wafer temperature can be used only for what has easy shape (between a center and edge) by applying the pressure which changes locally with back fillings of helium. As for this method, use is restricted only to the electrostatic chuck.

[0005] Furthermore, according to the option, the wafer temperature under processing is controlled using a thermoelectric device with the array of the thermo couple which operates according to a Peltier effect (absorption of the heat by the flow of the current in a joined part). The manufacturing method and device of the thermoelement which have the lattice member which comprised a thermocouple-elements array for the United States patent number 4,493,939 given to Braschi etc. as an example on January 15, 1985 are indicated. However, in this patent, in order to control wafer temperature, it is not shown how said thermoelement array is used with a wafer.

[0006]

[Problem(s) to be Solved by the Invention] There is SUBJECT of the invention in this application in conquering thru/or eliminating the above-mentioned fault by providing short reaction time and a device with higher partial temperature control nature for the semiconductor wafer partial temperature distribution in a process to detect and control compared with conventional technology.

[0007]

[Means for Solving the Problem] According to the invention in this application, an aforementioned

problem is solved by a temperature controller for one-sheet wafer etching devices which has the following composition. That is, a present position wafer temperature control device of the invention in this application has a cathode, a detached core, a thermoelement layer, and a chuck means, and they are laminated vertically and it supports a wafer etched. A thermoelement layer has two or more thermoelements, and between those elements, it is connected according to predetermined composition and it forms two or more closed loops. In detail, a closed loop of a thermoelement has a Peltier device of the number of predetermined in each, it is connected to a power means and these Peltier devices support a specific field on a wafer. Therefore, temperature in a specific region of a wafer is controllable by supplying electric power to a specific closed loop.

[0008]

[Embodiment of the Invention] In the device of the invention in this application, the layer of the thermoelement for cooling or heating the specific region of a wafer surface locally during an etching process is used.

[0009] According to the invention in this application, in order to control the temperature of the specific region of a wafer during etching, two or more closed loops constituted by the Peltier device are used, and, thereby, accuracy and applied pliability improve as compared with conventional technology.

[0010] According to the device of the invention in this application, the reaction time at the time of controlling the temperature of a wafer can be shortened compared with conventional technology.

[0011] According to the invention in this application, two or more Peltier devices for measuring the temperature distribution of a wafer are used, and the structure is simple compared with a publicly known device.

[0012]

[Example] The device of the invention in this application possessing the one-sheet wafer base material 12 allocated in the pressure reduction chamber 80 for etching environment and the chamber 80 is shown in drawing 1.

[0013] Although the chamber 80 in the invention in this application is carrying out the cylindrical shape, arbitrary shape like a cube may be sufficient, for example. Generally, the chamber 80 has the upper surface 88, the bottom 86, and the side attachment wall 82 that break off and that is not. From the upper surface 88 of the chamber 80, the introduction pipe 100 is prolonged, and it is used in order to convey etching gas to the chamber 80. It is used for the outlet pipe 102 being prolonged and removing the gas in a chamber from the side attachment wall 82 of the chamber 80. And the side attachment wall 82 of the chamber 80 is grounded by 89.

[0014] The chamber 80 in the invention in this application is made from conductive metals, such as aluminum. However, the chamber 80 can be made even if it uses which a publicly known electrical conducting material in conventional technology, as long as decompression environment is maintainable.

[0015] The wafer base material 12 is allocated in the chamber 80. The base material 12 comprises the cathode terminal 20, the dielectric detached core 30, the thermoelement layer 40, and the chuck means 60 in detail. A size and shape are designed so that each class 20, 30, 40, and 60 of a base material may support the wafer 14. In working example shown in drawing 1, each class 20, 30, 40, and 60 of the support 12 has a diameter of about 200 mm, i.e., a diameter equal to the wafer 14, respectively. However, corresponding to the size and shape of the wafer 14, the size and shape of each class 20, 30, 40, and 60 of the base material 12 can be changed.

[0016] The cathode terminal 20 has the upper surface 22, the undersurface 24, and the lateral surface 23 while forming the bottom layer of the base material 12. The cathode terminal 20 is made from a metal block, and supports the detached core 30, the thermoelement layer 40, and the chuck means 60.

[0017] The breakthrough (not shown) is formed in the cathode terminal 20, and a part of closed-loop condenser tube way 25 for cooling the wafer 14 is formed. The condenser tube way 25 contains the above-mentioned breakthrough, the feed port 26, the outlet 27, the introduction pipe 28, the discharging pipe 29, and the reservoir 31. Needless to say, the introduction pipe 28

and the discharging pipe 29 are not restricted to the composition of meandering state which was illustrated.

[0018]Generally, the cooling fluid 32, such as water, is stored in the reservoir 31 allocated in the exterior of the chamber 80. The cooling fluid 32 is passed with a pump in the inside of the introduction pipe 28 of meandering state (the arrow 33 showed profit). The introduction pipe 28 extended in the chamber 80 via the opening 90 provided in the bottom 86 of the chamber 80, and has reached the cathode terminal 20 via the feed port 26 further. And the cooling fluid 32 passes a breakthrough and controls the temperature of the base material 12. The cooling fluid 32 through which it circulated comes out of the cathode terminal 20 through the discharging pipe 29 of meandering state (arrow 34). From the outlet 27, the discharging pipe 29 passed the opening 92 provided in the bottom 86 of the chamber 80, and is prolonged. Finally, the cooling fluid 32 circulates through the inside of the reservoir 31, and the above-mentioned process is repeated. The condenser tube way 25 is not restricted to the composition of a graphic display. As the cooling fluid 32, as long as the temperature of the ** etching device base material 12 can be reduced, any substance can be used.

[0019]Capacitive coupling of the cathode terminal 20 is carried out to RF power 35 via the matching box 37 which accommodated the joint capacitor 39 and the variable coupling capacitor (not shown). In detail, capacitive coupling of the 13.56-MHz power supply 35 is carried out to the cathode terminal 20 via the coaxial cable 38 thru/or the equivalent coupling means. A coaxial cable thru/or its equivalent coupling means are combined with the cathode terminal 20 via the feed opening 96 provided in the bottom 86 of the chamber 80 from RF power 35. One electrode of the power supply 35 is grounded in 36. If the frequency of 13.56 MHz thru/or the multiple of those is used, interference to radio operation can be made into the minimum, but other frequency can be used according to a system parameter.

[0020]The dielectric detached core 30 is allocated on the upper surface 22 of the cathode terminal 20. As long as it has the operation which carries out dielectric isolation of the thermoelement layer 40 to the cathode terminal 20, any publicly known material can be used for the detached core 30.

[0021]The thermoelement layer 40 for cooling or heating the wafer 14 locally is allocated on the detached core 30. In detail, operation of the thermoelement layer 40 may be due to any of a Peltier effect (heat is absorbed or generated when current flows into a joined part), or the Seebeck effect (current flows according to the temperature gradient in a joined part). However, the invention in this application is not restricted to the element indicated in Description of this application.

[0022]In drawing 2, Peltier device 45 (shown by the small point) of the hexagon of 14 pieces allocated closely constitutes the central region closed loop 53. Similarly, Peltier device 47 (shown by the big point) of the hexagon of 38 pieces allocated closely constitutes the external area closed loop 55. The central region closed loop 53 and the external area closed loop 55 are separated via the insulating layer 61.

[0023]Peltier devices 45 and 47 are chosen and arranged so that the partial temperature of each field of the wafer 14 can be controlled. Although the number, the shape, and the size of Peltier devices 45 and 47 are changeable, about the number of the Peltier devices allocated closely, by making a size small, I hear that local temperature control nature is improved, and there are many important points.

[0024]In drawing 3 -- the closed loops 53 and 55 -- each of Peltier devices 45 and 47 are connected with the 1st in parallel with 2nd DC power supply 46 and 48. Voltage (V_{DC1}) is impressed to the both ends of Peltier device 45 each which constitute the central region closed loop 53 in detail, and voltage (V_{DC2}) is impressed to the both ends of each of Peltier devices 47 which constitute the external area closed loop 55.

[0025]the 1st power supply 46 and the 2nd power supply 48 which are located in the exterior of the chamber 80 in drawing 1 -- electric power is supplied to the central region closed loop 53 and the external area closed loop 55 from each. This electric power supply was performed via the electric supply pairs 51 and 52 to the 1st electric supply pair 49 and 50 and the latter loop

to the former loop, and these electric supply pair is prolonged in the chamber 80 via the feed opening 93 provided in the bottom 86 of the chamber 80. The 1st electric supply pair 49 and 50 and the 2nd electric supply pair 51 and 52 are prolonged via the 1st low-pass filter 54 and 2nd low-pass filter 56, respectively.

[0026]According to the multi-loop configuration indicated to Description of this application, the temperature control more outstanding as compared with the temperature controller by conventional technology becomes possible. However, the invention in this application is not limited to the central region loop 53 and the external area loop 55 which were indicated here. In that case, the more nearly local temperature control of the number and structure of a loop becomes possible by making a size small mostly about the number of loops by the ability to make it change according to specific temperature control SUBJECT which encounters at the time of etching. The invention in this application is not limited to the power supply and electric supply composition which were indicated here, and a closed loop can be allocated in a desired mode and can control a specific field temperature of the wafer 14 locally.

[0027]For example, working example which comprised 52 closed loops is shown in drawing 4. In this working example, it is combined with corresponding DC-power-supply $V_{DC1} - V_{DC52}$ and low-pass filter LP gas₁ - LP gas₅₂, and each Peltier device P₁ - P₅₂ form the closed loop, respectively. Therefore, according to such composition, compared with working example which comprised few closed loops, more nearly local temperature control becomes possible.

[0028]On Peltier device 45 and 47 of each, the temperature detecting means (not shown) of a thermo couple etc. is allocated, and, thereby, the partial temperature in each Peltier devices 45 and 47 is detected. However, a temperature detecting means is not limited to a thermo couple, but can use the temperature detecting means of RTD or a thermo sensitive register.

[0029]The chuck means 60 for supporting the wafer 14 is allocated in the upper part of the layer of Peltier device 40. Generally, the electrostatic chuck 60 of the form of attracting and holding the wafer 14 according to Coulomb force is used. The conductor layers 62, such as copper, are inserted between the 1st insulation sheet 64, such as polyimide, and the 2nd insulation sheet 66, and form the electrostatic chuck 60. The chuck means 60 in the invention in this application is not limited to the electrostatic chuck 60 indicated here, and either can use a means like a mechanical zipper or a vacuum chuck to support the wafer 14.

[0030]The electrostatic chuck 60 supplies high tension (V_{DC}) to the conductive layer 62 via 2-kV DC power supply 68 located in the exterior of the chamber 80. One terminal of the power supply 68 is grounded in 70. Electric power is supplied to the conductive layer 62 via the electric supply line 71 prolonged in the conductive layer 62 via the low-pass filter 72 from the power supply 68. The electric supply line 71 is prolonged into the chamber 80 via the feed opening 94 provided in the bottom 86 of the chamber 80. However, the power supply 68 for zipper 60 is not limited to the 2-kV DC power supply indicated here, and it is [power supply] usable in any power supply.

[0031]If electric power is supplied to the zipper 60 by DC power supply 68, the wafer 14 will be pulled by electrostatic force to the direction of the zipper 60. Two or more stomata may arise that the surface of the wafer 14 is uneven between the top polyimide layer 64 of the zipper 60, and the wafer 14. These stomata will reduce the heat exchanging efficiency between the zipper 60 and the wafer 14, and, as a result, the temperature distribution covering the wafer 14 whole surface will become uneven. In order to reduce the heat exchange loss between such a wafer 14 and the zipper 60 and to improve the heat transfer characteristic, ***** which buries a stoma by the publicly known back filling method in conventional technology is made. Although gaseous helium is used by the back filling method in the invention in this application, the kind of gas will not be asked if the heat transfer characteristic between the wafer 14 and the zipper 60 is raised.

[0032]Once the wafer 14 is fixed to the zipper 60, a hydrogen bromide or nitrogen tetrafluoride is introduced in the chamber 80 from the introduction pipe 100 (the arrow 101 shows like). The introduction pipe 100 has extended from the upper surface 88 of the chamber 80. A magnetic field arises among both the upper surface 88 on which high-frequency power acts as an upper

electrode of the chamber 80 from RF power 35, and by being supplied between the cathode terminals 20. As a result, the plasma (not shown) which especially comprises ion and a free radical occurs.

[0033]surplus gas and an unstable etching product are discharged with a pump through the discharging pipe 102 from the chamber 80 (the arrow 103 shows — as). The discharging pipe 102 has extended via the vacuum pump (not shown) arranged to the exterior of the chamber 80 from the side attachment wall 82 of the chamber 80.

[0034]Therefore, the specific field of the wafer 14 can be locally cooled or heated in an etching process by Peltier devices 45 and 47. For example, if a control device (not shown) is used, detection partial temperature can be measured with base temperature, such as mean temperature of a predetermined preset value or Peltier device 45, and the 47 whole. And when the temperature beyond a predetermined value is detected, electric power is supplied to either of the closed loops 53 and 55, and the specific field of the wafer 14 can be cooled or heated.

[0035]In another working example (not shown), each Peltier devices 45 and 47 can be operated as a temperature sensor which operates based on the Seebeck effect (generating of the electromotive force by the joined part temperature gradient of the circuit which comprises two homogeneous conductors from which a presentation differs). It is periodically intermittent in the current which passes Peltier devices 45 and 47, and the thermoelectromotive force of the both ends of Peltier devices 45 and 47 can be measured. If base temperature, such as partial temperature measured in the zipper 60 in the state where it cooled, or the point of thermo couple (not shown) each, is known, the temperature in each Peltier device 45 and 47 is calculable from measurement thermoelectromotive force. Since the number of the thermo couples for base temperature measurement can be done less than Peltier devices 45 and 47 according to this composition, as compared with the above-mentioned composition, structure is made simply.

[Translation done.]

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is a schematic elevation of one working example of the invention in this application.

[Drawing 2] Drawing 2 is an abbreviated penetration front view of the thermoelement layer shown in drawing 1.

[Drawing 3] Drawing 3 is a schematic illustration showing connection between a Peltier device and a power supply.

[Drawing 4] Drawing 4 is a schematic illustration showing connection with the power supply to which each Peltier device corresponds.

[Description of Notations]

12 Wafer base material

14 Wafer

20 Cathode terminal
25 Closed-loop condenser tube way
26 Feed port
27 Outlet
28 Introduction pipe
29 Discharging pipe
30 Detached core
31 Reservoir
32 Cooling fluid
35 RF power
40 Thermoelement layer
45, 47 Peltier devices
53 Central region closed loop
55 External area closed loop
60 Chuck means
61 Insulating layer
62 Conductive layer
68 2kV DC power supply
80 Chamber
100 Introduction pipe
102 Discharging pipe

[Translation done.]

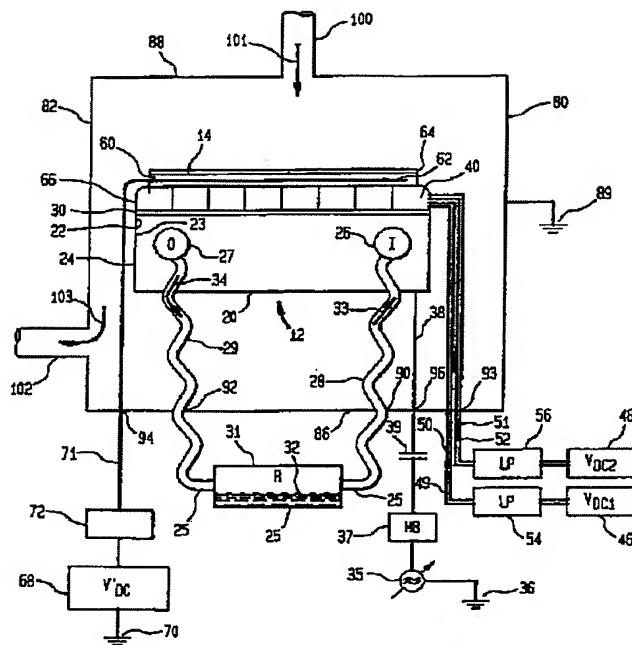
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

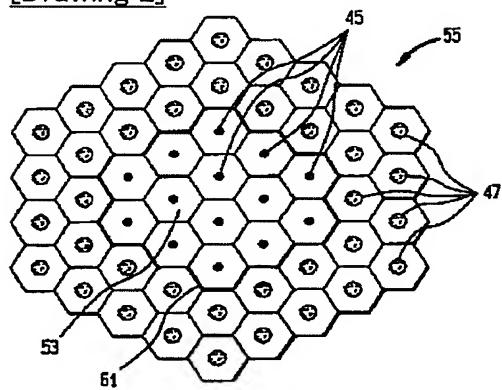
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

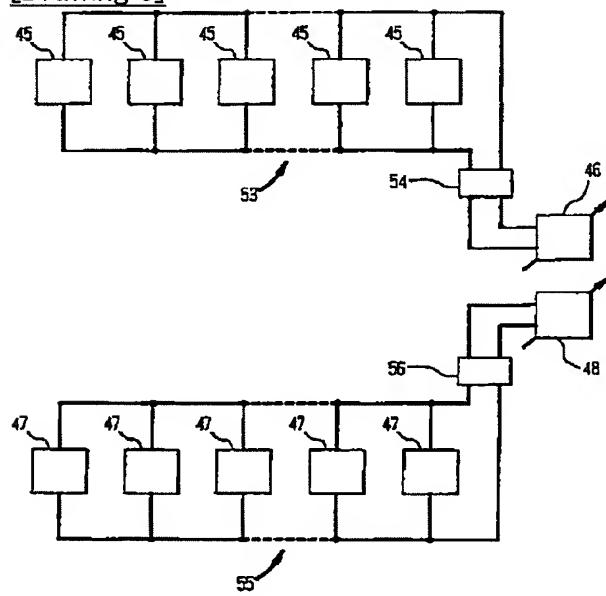
[Drawing 1]



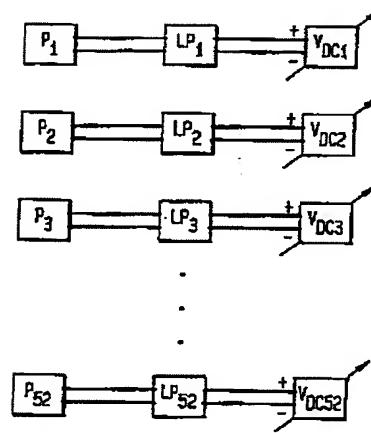
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]